



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0059835  
Application Number

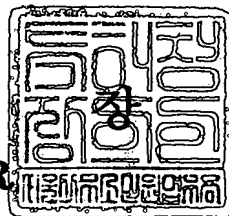
출원 년 월 일 : 2002년 10월 01일  
Date of Application OCT 01, 2002

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    04    월    23    일

특    허    청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.10.01
【발명의 명칭】	반도체 소자 및 그 형성 방법
【발명의 영문명칭】	Semiconductor device and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김지영
【성명의 영문표기】	KIM,JI YOUNG
【주민등록번호】	700405-1636710
【우편번호】	449-910
【주소】	경기도 용인시 구성면 언남리 신일아파트 103동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	김상용
【성명의 영문표기】	KIM,SANG YONG
【주민등록번호】	720905-1100714
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 신일아파트 203동 204호
【국적】	KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

4 면 4,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

11 항 461,000 원

**【합계】**

494,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

게이트 라인의 단부를 보호하는 반도체 소자 구조 및 그 형성 방법을 제공한다. 상기 반도체 소자는 반도체 기판, 상기 반도체 기판을 가로지르는 게이트 라인, 및 상기 게이트 라인의 단부를 덮는 보호막 패턴을 구비한다. 상기 방법은 반도체 기판에 게이트 라인을 형성하는 단계, 상기 게이트 라인의 측벽을 덮는 스페이서를 형성하는 단계, 및 상기 게이트 라인의 단부를 덮는 보호막 패턴을 형성하는 단계를 포함한다. 상기 보호막 패턴은 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 산화막으로 형성한다. 따라서, 상기 보호막 패턴이 상기 게이트 라인의 단부를 보호하므로, 후속공정에서 SC1과 같은 세정용액에 의해 상기 게이트 라인이 손상되는 것을 막을 수 있다.

**【대표도】**

도 2

**【색인어】**

게이트 라인, 보호막 패턴

**【명세서】****【발명의 명칭】**

반도체 소자 및 그 형성 방법{Semiconductor device and method of forming the same}

**【도면의 간단한 설명】**

도 1a는 종래 기술에 따른 게이트 라인을 포함하는 반도체 소자의 평면도를 나타낸다.

도 1b는 종래 기술에 따른 도 1a의 반도체 소자를 I-I'라인 및 II-II'라인을 따라 각각 자른 단면도들을 나타낸다.

도 2는 본 발명의 바람직한 실시예에 따른 반도체 소자의 평면도를 나타낸다.

도 3은 본 발명의 바람직한 실시예에 따른 도 2의 반도체 소자를 III-III' 라인, IV-IV' 라인, 및 V-V' 라인을 따라 자른 단면도들을 나타낸다.

도 4a 내지 도 4c는 도 3의 구조를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

도 5는 본 발명의 다른 바람직한 실시예에 따라, 도 2의 반도체 소자를 III-III' 라인, IV-IV' 라인, 및 V-V' 라인을 따라 자른 단면도들을 나타낸다.

도 6a 내지 도 6c는 도 5의 구조를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로, 좀 더 상세하게, 게이트 라인의 단부를 보호하는 반도체 소자의 구조 및 그 형성 방법에 관한 것이다.
- <9> 반도체 공정들 중 포토리소그래피 공정에서 형성되는 패턴의 단부는 근접효과 (proximity effect)에 의해 둥글게된다. 반도체 소자가 고집적화됨에 따라 패턴의 사이즈가 작아지고, 근접 효과에 의한 영향은 더욱 커진다.
- <10> 도 1a는 종래 기술에 따른 게이트 라인을 포함하는 반도체 소자의 평면도를 나타낸다.
- <11> 도 1b는 종래 기술에 따른 도 1a의 반도체 소자를 I-I'라인 및 II-II'라인을 따라 각각 자른 단면도들을 나타낸다. 도 1b에서 도 1a의 I-I'라인을 따라 자른 단면도는 영역 1(aa)에, 그리고 II-II'라인을 따라 자른 단면도는 영역 2(bb)에 나타낸다.
- <12> 도 1a 및 도 1b를 참조하여 종래 기술에 따라 게이트 라인을 형성하는 방법을 설명한다. 우선, 반도체 기판(1) 상에 활성영역(AR)을 한정하는 소자분리막(Fox, 3)을 형성한다. 상기 반도체 기판(1)의 전면 상에 게이트 산화막(5), 폴리실리콘막(7), 텅스텐막(9), 및 캐핑막(11)을 차례로 적층한다. 상기 막들(11, 9, 7, 5)을 차례로 패터닝하여 게이트 라인(GL)을 형성한다. 상기 패터닝을 위한 포토리소그래피 공정에서, 포토 마스크(M)의 단부가 직각인 반면에 실제로 형성되는 게이트 라인(GL)의 단부(E)는 근접효과에 의해 도 1a와 같이 둥글게 되며 도 1b에서와 같이 완만한 경사를 이룬다. 상기 게이

트 라인(GL)을 이온주입마스크로 사용하여 저농도 불순물 영역(4)을 형성한다. LDD 구조를 형성하기 위하여, 상기 반도체 기판의 전면상에 절연막을 적층한 후 이방성 식각하여 상기 게이트 라인(GL)의 측벽을 덮는 스페이서(13)를 형성하고, 상기 게이트 라인(GL)과 상기 스페이서(13)를 이온주입마스크로 사용하여 고농도 불순물 영역(14)을 형성한다. 이때, 상기 게이트 라인(GL)의 단부(E)에서는 게이트 패턴의 프로파일이 완만하여 상기 절연막이 거의 다 제거되어 스페이서(13)가 잘 형성되지 않는다(영역 2, bb). 후속 공정으로 세정공정을 진행하면, 세정공정에서 주로 사용되는  $SCl(NH_4OH, H_2O_2)$  및 탈이온수가 혼합된 세정액이, 상기 스페이서(13)가 얇게 형성되어 취약한 상기 게이트 라인(GL)의 단부(E)에 침투하여 상기 텅스텐막(9)을 녹인다. 따라서 반도체 소자의 신뢰성에 문제를 야기한다.

**【발명이 이루고자 하는 기술적 과제】**

<13> 따라서, 상기 문제를 해결하기 위하여, 본 발명의 기술적 과제는 게이트 라인의 단부를 보호하는 반도체 소자 구조 및 그 형성 방법을 제공하여 반도체 소자의 신뢰성을 증가시키는데에 있다.

**【발명의 구성 및 작용】**

<14> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자는 게이트 라인의 단부를 덮는 보호막 패턴을 구비하는 것을 특징으로 한다.

<15> 좀 더 상세하게, 상기 반도체 소자는 반도체 기판, 상기 반도체 기판을 가로지르는 게이트 라인, 및 상기 게이트 라인의 단부를 덮는 보호막 패턴을 구비한다. 이때 상기 보호막 패턴은 실리콘 질화막( $Si_3N_4$ ) 또는 산화막으로 이루어진다.

- <16>        상기 구조는 상기 게이트 라인의 측벽을 덮으며 상기 게이트 단부에서 상기 게이트 라인과 상기 보호막 패턴 사이에 개재되는 스페이서를 더 구비할 수 있다. 이때, 상기 스페이서는 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 산화막으로 이루어진다.
- <17>        상기 구조에서, 상기 게이트 라인은 차례로 적층된 산화막 패턴 및 도전막 패턴을 구비하며, 상기 도전막 패턴은 텅스텐, 구리, 또는 알루미늄으로 이루어진다.
- <18>        상기 구조를 형성하는 방법은 다음과 같다. 먼저, 반도체 기판에 게이트 라인을 형성한다. 상기 게이트 라인의 측벽을 덮는 스페이서를 형성한다. 그리고, 상기 게이트 라인의 단부를 덮는 보호막 패턴을 형성한다.
- <19>        상기 방법에 있어서, 상기 스페이서와 상기 보호막 패턴은 동시에 형성될 수 있으며 동일 물질로 형성될 수 있다. 상기 동일 물질은 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 산화막일 수 있다.
- <20>        상기 방법에 있어서, 상기 게이트 라인은, 반도체 기판 상에 산화막 및 도전막을 차례로 적층하고, 상기 도전막 및 상기 산화막을 차례로 패터닝하여 형성된다. 상기 도전막은 텅스텐, 구리, 또는 알루미늄으로 형성될 수 있다.
- <21>        이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될



수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<22> 도 2는 본 발명의 바람직한 실시예에 따른 반도체 소자의 평면도를 나타낸다.

<23> <실시예 1>

<24> 도 3은 본 발명의 바람직한 실시예에 따른 도 2의 반도체 소자를 III-III' 라인, IV-IV' 라인, 및 V-V' 라인을 따라 자른 단면도들을 나타낸다. 도 3에 있어서, 제 1 영역(a)은 III-III' 라인을 따라 자른 단면도, 제 2 영역(b)은 IV-IV' 라인을 따라 자른 단면도, 및 제 3 영역(c)은 V-V' 라인을 따라 자른 단면도를 각각 나타낸다.

<25> 도 2 및 도 3을 참조하면, 반도체 기판(100)에 활성영역(AR)을 한정하는 소자분리막(Fox, 102)이 있다. 상기 활성영역(AR)을 가로지르는 게이트 라인(GL)이 있다. 상기 게이트 라인(GL)은 차례로 적층된 게이트 산화막(104), 폴리실리콘막(106), 텅스텐막(108), 및 캐핑막패턴(110)으로 이루어진다. 이때, 상기 게이트 산화막(104)은 50~300 Å의 두께를, 상기 폴리실리콘막(106)은 700~900 Å의 두께를 갖을 수 있다. 상기 텅스텐막(108)은 400~600 Å의 두께를, 상기 캐핑막(110)은 1900~2100 Å의 두께를 갖을 수 있다. 상기 게이트 라인(GL)의 측벽을 덮는 스페이서(114a)가 존재한다. 상기 활성영역(AR) 내에는 상기 게이트 라인(GL)의 측단부와 접하는 저농도 불순물 영역(112)과, 상기 스페이서(114a)의 측단부와 접하는 고농도 불순물 영역(115)이 있다. 상기 게이트 라인(GL)의 단부(E)는 상기 소자 분리막(102) 상에 위치하며, 보호막 패턴(S, 114b)에 의해 덮인다. 상기 스페이서(114a) 및 상기 보호막 패턴(S, 114b)은 동일한 물질로 이루어

지며, 바람직하게 실리콘질화막( $\text{Si}_3\text{N}_4$ ) 또는 산화막으로 이루어진다. 상기 보호막 패턴(S, 114b)은 400~600Å의 두께를 갖을 수 있다.

<26> 도 4a 내지 도 4c는 도 3의 구조를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

<27> 도 4a를 참조하면, 반도체 기판(100) 상에 소자분리막(Fox, 102)을 형성하여 활성 영역(AR)을 한정한다. 상기 반도체 기판(100)의 전면 상에 게이트 산화막(104), 폴리실리콘막(106), 텅스텐막(108), 및 캐핑막(110)을 차례로 적층한다. 상기 캐핑막(110)은 실리콘 질화막으로 형성될 수 있다. 상기 막들(110, 108, 106, 104)을 차례대로 패터닝하여 게이트 라인(GL)을 형성한다. 상기 게이트 라인(GL)을 이온주입 마스크로 사용하여 상기 활성영역(AR) 내에 저농도 불순물 영역(112)을 형성한다.

<28> 도 4b 및 도 4c를 참조하면, 상기 반도체 기판(100)의 전면 상에 절연막(114)을 콘포말하게 적층한다. 상기 절연막(114)은 실리콘질화막( $\text{Si}_3\text{N}_4$ ) 또는 산화막으로 형성한다. 상기 게이트 라인(GL)의 단부(E)만 덮도록 포토레지스트 패턴(PR1)을 형성한다. 상기 포토레지스트 패턴(PR1)을 식각 마스크로 사용하여 상기 절연막(114)을 이방성 식각한다. 따라서, 도 3과 같이, 상기 게이트 라인(GL)의 측벽을 덮는 스페이서(114a)를 형성하는 동시에 상기 게이트 라인(GL)의 단부(E)를 덮는 보호막 패턴(S, 114b)을 형성한다. 상기 포토레지스트 패턴(PR1)을 제거한다. 상기 게이트 라인(GL)과 상기 스페이서(114a) 및 상기 보호막 패턴(114b)을 이온주입마스크로 사용하여 상기 반도체 기판(100)의 활성영역(AR) 내에 고농도 불순물 영역(도 3, 115)을 형성한다.

<29> 상기 구조와 방법에 있어서, 상기 보호막 패턴(S, 114b)이 상기 게이트 라인(GL)의 단부를 보호하므로, 후속공정에서 SC1과 같은 세정용액에 의해 상기 텅스텐막(108)이 손상되는 것을 막을 수 있다.

<30> <실시예 2>

<31> 도 5는 본 발명의 다른 바람직한 실시예에 따라, 도 2의 반도체 소자를 III-III' 라인, IV-IV' 라인, 및 V-V' 라인을 따라 자른 단면도들을 나타낸다. 도 5에 있어서도 도 3처럼 제 1 영역(a)은 III-III' 라인을 따라 자른 단면도, 제 2 영역(b)은 IV-IV' 라인을 따라 자른 단면도, 및 제 3 영역(c)은 V-V' 라인을 따라 자른 단면도를 각각 나타낸다.

<32> 도 2 및 도 5를 참조하면, 실시예 1과 비교할 때, 본 실시예에 따른 반도체 소자는 게이트 라인(GL)의 측벽과 단부(E)를 덮는 스페이서(114a), 및 상기 게이트 라인(GL)의 단부(E)를 덮는 보호막 패턴(S, 116b)을 구비하는 것을 특징으로 한다. 이때, 상기 스페이서(114a)는 상기 게이트 라인(GL)의 단부(E)에서, 상기 게이트 라인(GL)과 상기 보호막 패턴(S, 116b) 사이에 개재된다. 상기 보호막 패턴(S, 116b)은 실시예 1의 보호막 패턴(S, 114b)과 비교할 때, 두께가 얇으며, 바람직하게 1/5 정도의 두께를 갖는다. 상기 보호막 패턴(S, 116b)은 80~120 Å의 두께를 갖을 수 있다.

<33> 도 5의 반도체 소자를 형성하는 방법을 도 6a 내지 도 6c를 통해 설명하기로 한다.

<34> 도 6a 내지 도 6c를 참조하면, 실시예 1의 도 4b와 같은 상태에서 절연막(114)을 전면적으로 이방성 식각하여, 상기 게이트 라인(GL)의 측벽과 단부(E)를 덮는 스페이서(114a)를 형성한다. 상기 게이트 라인(GL)과 상기 스페이서(114a)를 이온주입 마스크로

사용하여 상기 반도체 기판(100)의 활성영역(AR) 내에 고농도 불순물 영역(115)을 형성한다. 상기 반도체 기판(100)의 전면 상에 보호막(116)을 적층한다. 이때, 상기 보호막(116)은 상기 절연막(114)과 동일한 물질로 형성될 수 있다. 실시예 1의 절연막(114)의 두께의 1/5 정도로 형성할 수 있으며, 바람직하게 80~120Å의 두께를 갖을 수 있다. 상기 게이트 라인(GL)의 단부(E)를 덮도록 상기 보호막(116) 상에 포토레지스트 패턴(PR2)을 형성한다. 상기 포토레지스트 패턴(PR2)을 사용하여 상기 보호막(116)에 대해 이방성 식각을 진행하여 상기 활성영역(AR) 상의 게이트 라인(GL)을 노출시키되 상기 게이트 라인(GL)의 단부(E)를 덮는 보호막 패턴(S, 116b)을 형성한다. 상기 포토레지스트 패턴(PR2)을 제거한다. 상기 보호막(116)의 두께를 제외하고, 본 실시예에서 다른 막의 종류 및 공정 조건등은 실시예 1과 같다.

#### 【발명의 효과】

<35> 따라서, 본 발명에 따른 반도체 소자 및 그 형성 방법에 따르면, 게이트 라인의 단부를 덮는 보호막 패턴을 구비하여, 상기 보호막 패턴이 상기 게이트 라인의 단부를 보호하므로, 후속공정에서 SC1과 같은 세정용액에 의해 상기 게이트 전극이 손상되는 것을 막을 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 반도체 기판을 가로지르는 게이트 라인; 및

상기 게이트 라인의 단부를 덮는 보호막 패턴을 구비하는 반도체 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 보호막 패턴은 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 산화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

**【청구항 3】**

제 1 항에 있어서,

상기 게이트 라인의 측벽을 덮으며, 상기 게이트 라인의 단부에서 상기 게이트 라인과 상기 보호막 패턴 사이에 개재되는 스페이서를 더 구비하는 반도체 소자.

**【청구항 4】**

제 3 항에 있어서,

상기 스페이서는 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 산화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

**【청구항 5】**

제 1 항에 있어서,

상기 게이트 라인은 상기 반도체 기판 상에 차례로 적층된 산화막 패턴 및 도전막 패턴을 구비하는 것을 특징으로 하는 반도체 소자.

**【청구항 6】**

제 1 항에 있어서,

상기 도전막 패턴은 텅스텐, 구리, 또는 알루미늄으로 이루어지는 것을 특징으로 하는 반도체 소자.

**【청구항 7】**

반도체 기판에 게이트 라인을 형성하는 단계;

상기 게이트 라인의 측벽을 덮는 스페이서를 형성하는 단계; 및

상기 게이트 라인의 단부를 덮는 보호막 패턴을 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

**【청구항 8】**

제 7 항에 있어서,

상기 스페이서를 형성하는 단계 및 상기 보호막 패턴을 형성하는 단계는 동시에 이루어지며, 상기 스페이서와 상기 보호막 패턴은 동일 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

**【청구항 9】**

제 7 항에 있어서,

상기 동일 물질은 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 산화막인 것을 특징으로 하는 반도체 소자.

【청구항 10】

제 7 항에 있어서,

상기 게이트 라인을 형성하는 단계는,

반도체 기판 상에 산화막 및 도전막을 차례로 적층하는 단계; 및

상기 도전막 및 상기 산화막을 차례로 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 11】

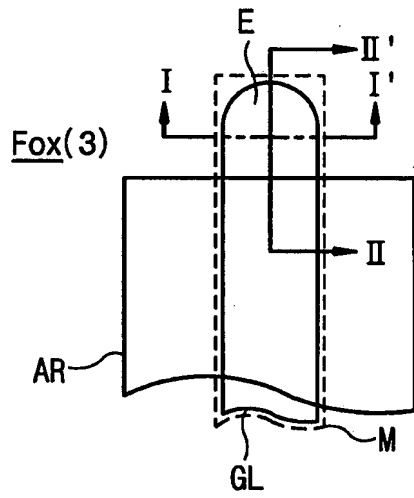
제 10 항에 있어서,

상기 도전막은 텅스텐, 구리, 또는 알루미늄으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【도면】

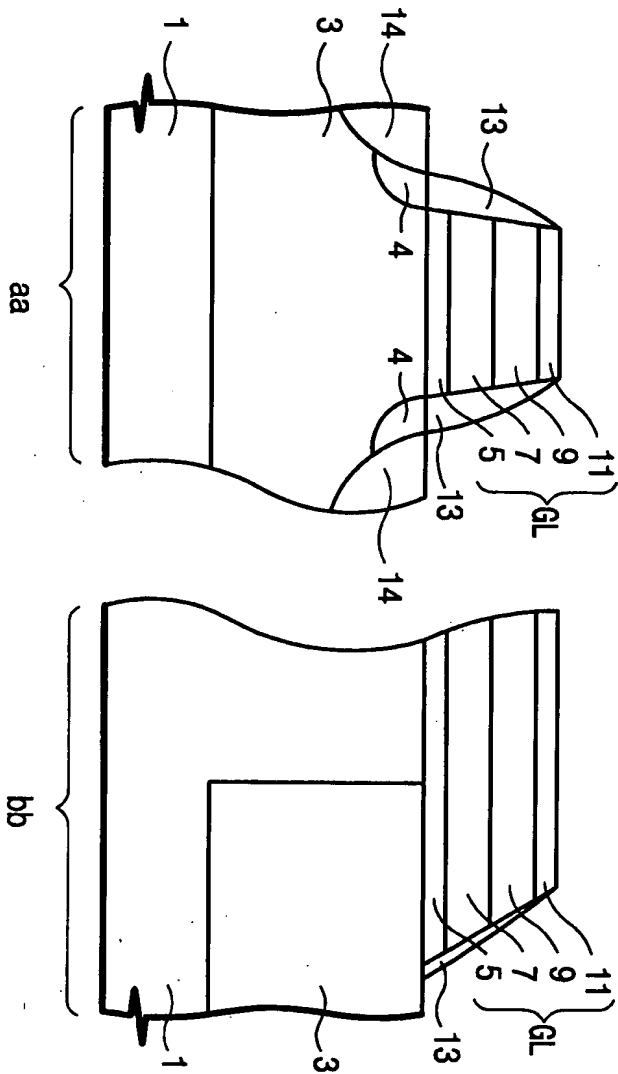
【도 1a】

(종래 기술)



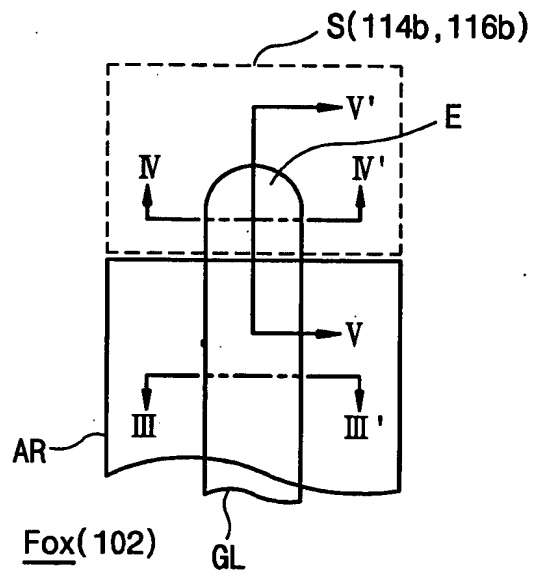


【도 1b】

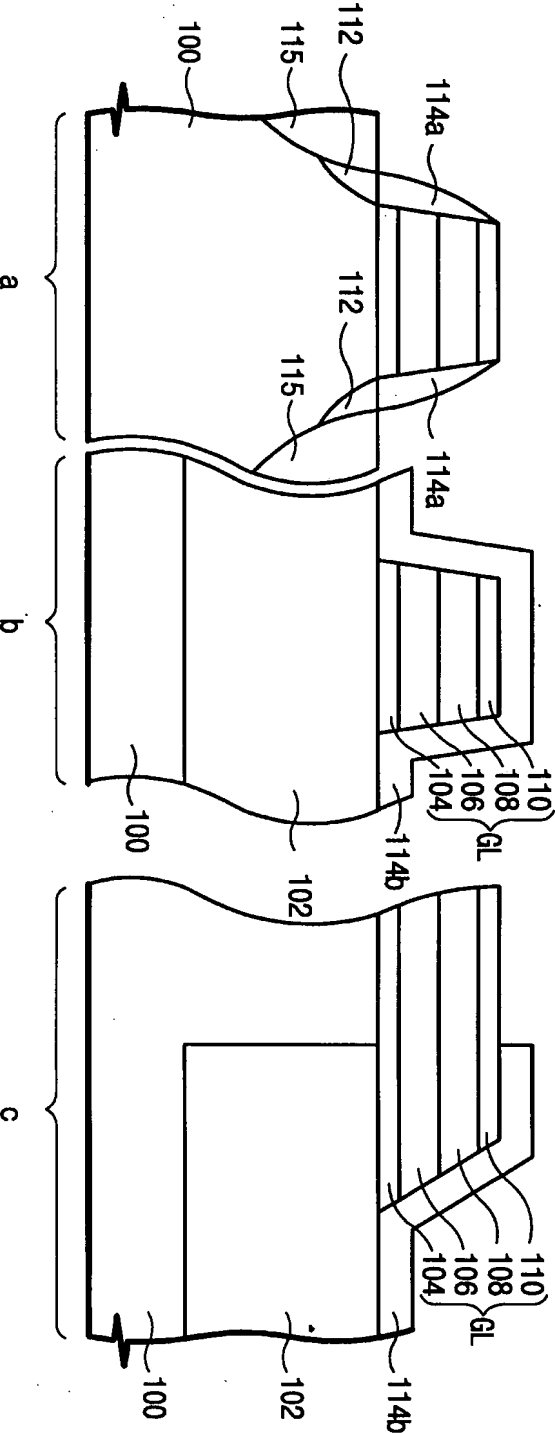


(종래 기술)

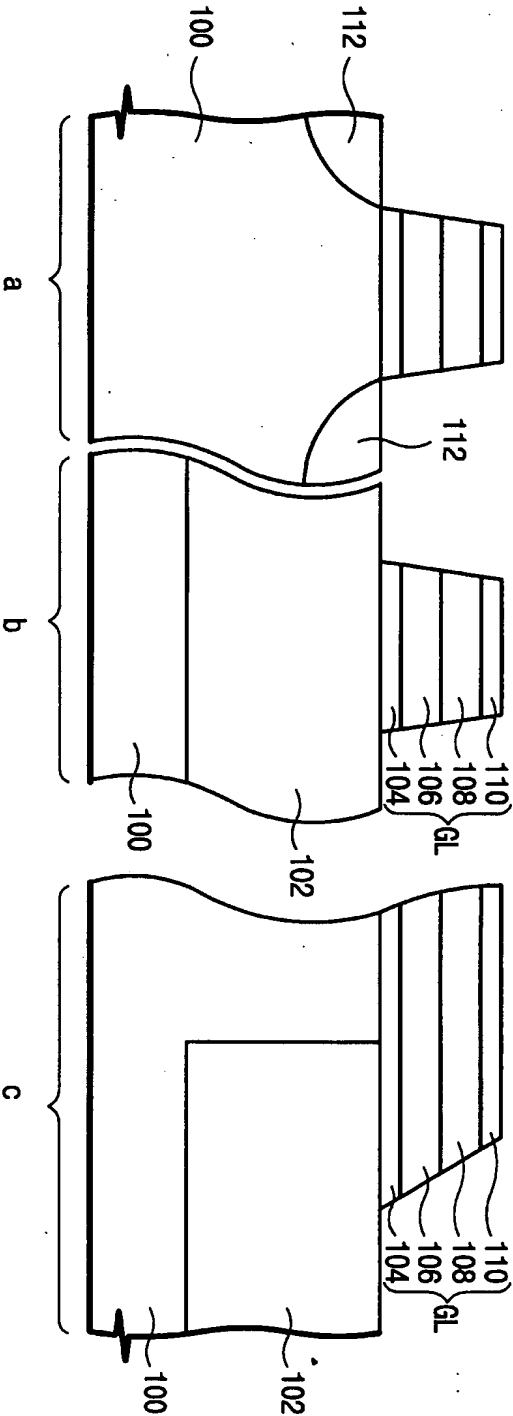
【도 2】



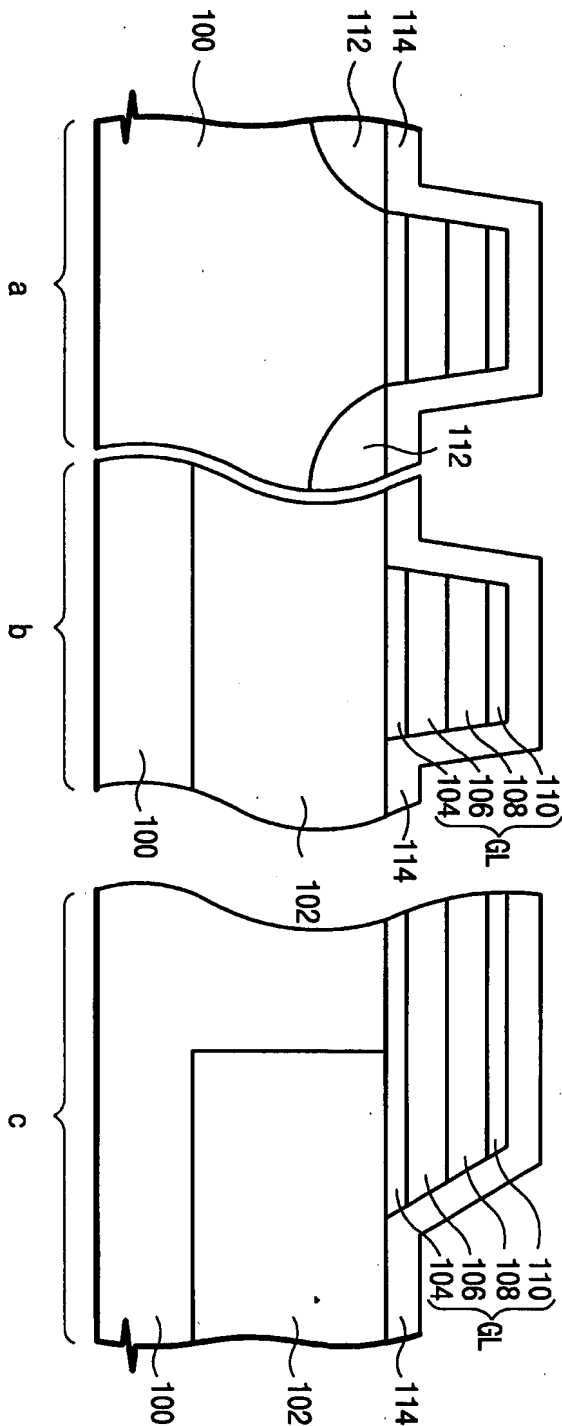
【도 3】



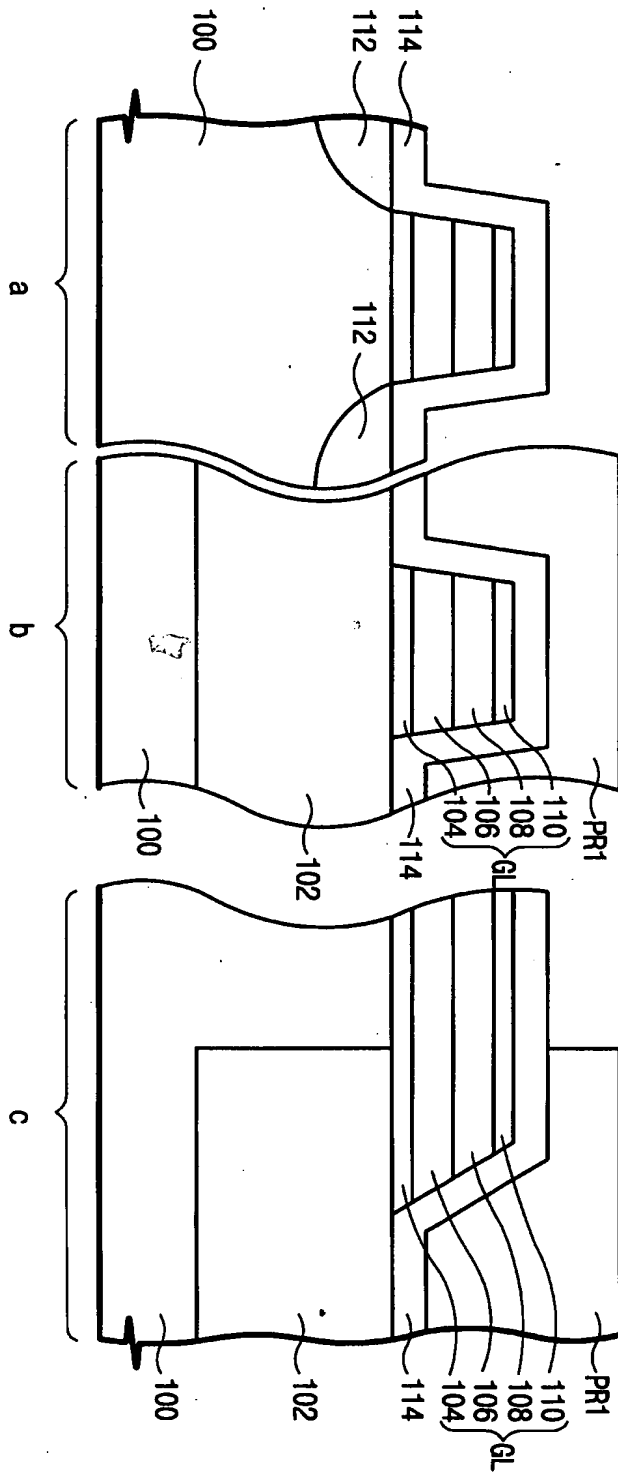
【도 4a】



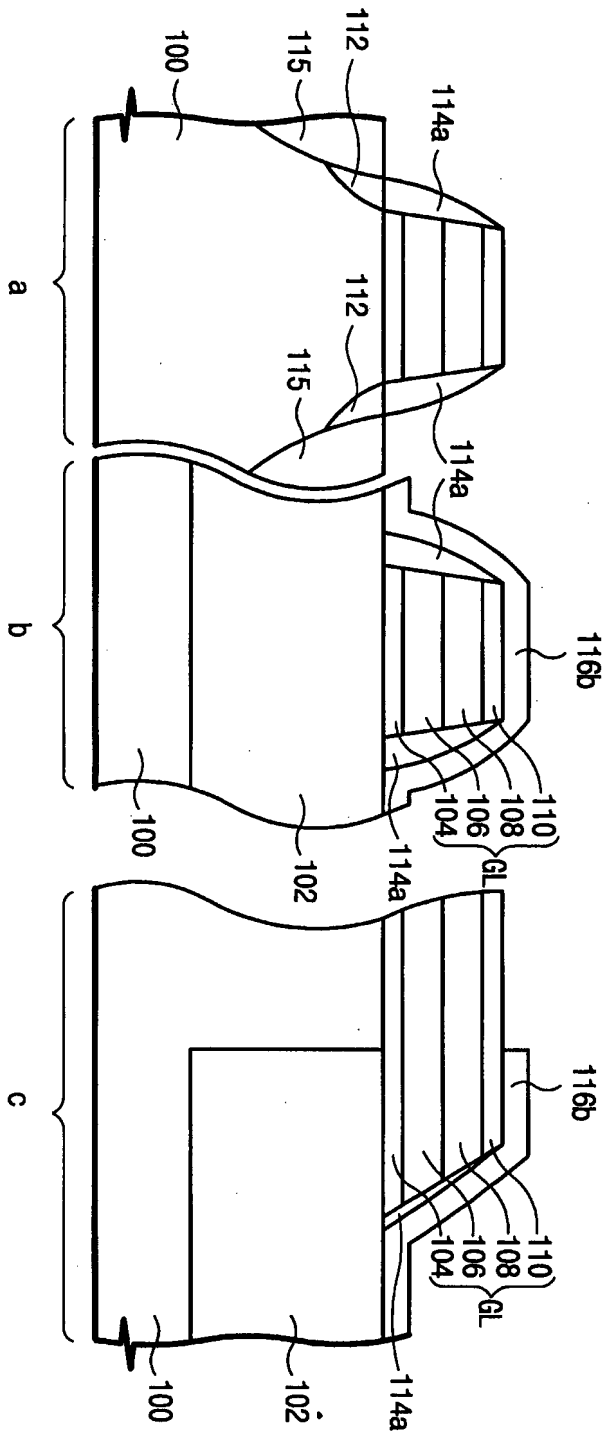
【도 4b】



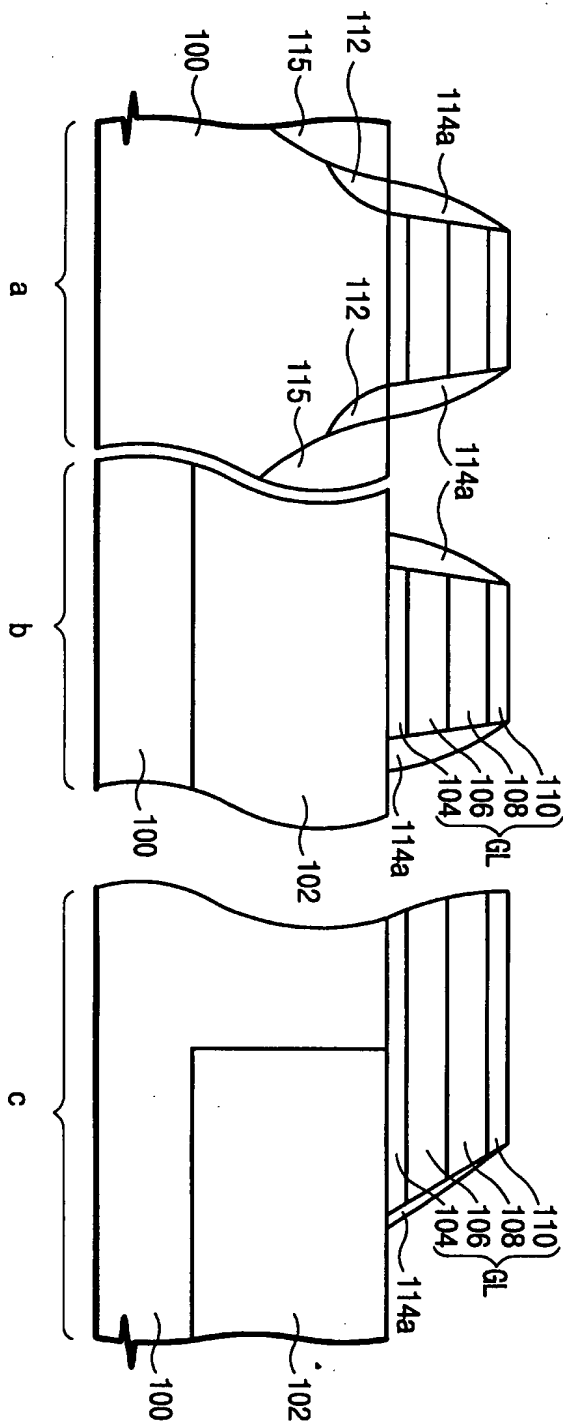
【도 4c】



【도 5】

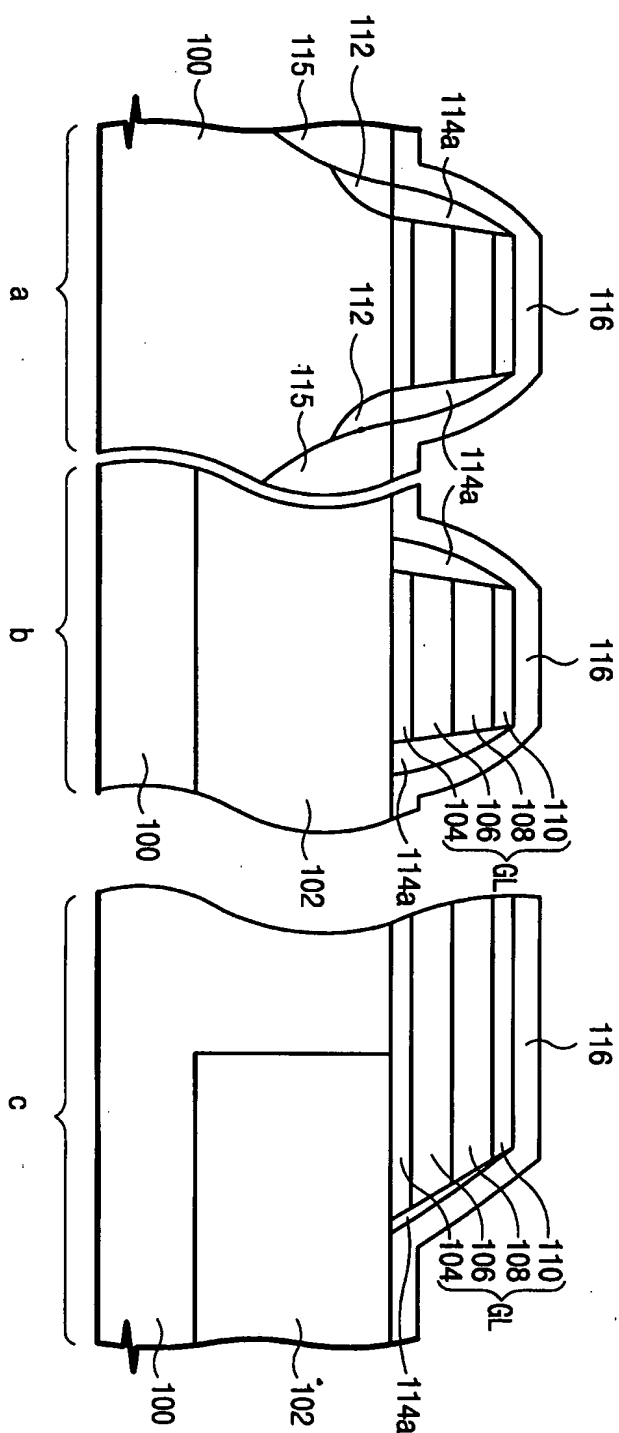


【도 6a】





【도 6b】



【도 6c】

